

(11)Publication number : 10-210499

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H04N 9/77

H04N 9/31

(21)Application number : 09-025853

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.01.1997

(72)Inventor : YAJIMA KENICHIRO
KONISHI MASASUKE

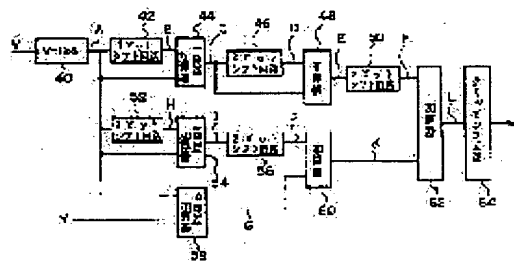
(54) YUV-TO-RGB DIGITAL CONVERTER, IMAGE DISPLAY DEVICE USING THE CONVERTER AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the number of adder and to reduce a circuit scale by sharing an adder for addition of combinations having the same difference of multipliers of plural pairs of terms to be added together.

SOLUTION: When a YV signal is converted into an R signal, $V \times (2^0 + 2^{-2} + 2^{-4} + 2^{-5} + 2^{-7} + 2^{-8})$ is calculated, for example. In this calculation, $(2^{-7} + 2^{-8})$ and $(2^{-5} + 2^{-6})$ are equal to the addition of single/square differences, for example. In this respect, $(V \times 2^{-1})$ is obtained by means of a bit shift circuit 42 of the 1st stage, and then the addition is carried out between $(V \times 2^{-1})$ and $(V \times 2^0)$ where the difference of multipliers K is equal to the single-square difference. Then $(2^{-5} + 2^{-6})$ is obtained by shifting V $(2^0 + 2^{-1})$ to the lower order side by 5 bits via a bit shift circuit 46, and $(2^{-7} + 2^{-8})$ is obtained by shifting V $(2^0 + 2^{-1})$ to a lower order side by 7 bits via a bit shift circuit 50. Thus, adders 44 and 48 can be shared for the addition of terms of the same square difference. As a result, the circuit scale can be reduced.

BEST AVAILABLE COPY



LEGAL STATUS

[Date of request for examination] 29.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. ⁶
H04N 9/77
9/31

識別記号

F I
H04N 9/77
9/31

Z

審査請求 未請求 請求項の数 9 F D (全18頁)

(21) 出願番号 特願平9-25853
(22) 出願日 平成9年(1997) 1月24日

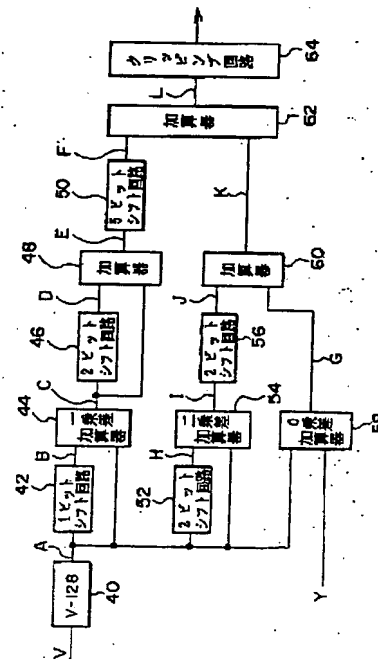
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 矢島 健一郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 小西 正祐
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 YUV-RGBデジタル変換回路並びにそれを用いた画像表示装置及び電子機器

(57) 【要約】

【課題】 回路規模を縮小することができるYUV-RGBデジタル変換回路を提供する。

【解決手段】 デジタル輝度信号Yとデジタル色差信号U, Vを、デジタル色信号R, G, Bに変換するYUV-RGB変換回路のYV-R変換回路は、 $R = Y + (V - 128) \times 1.371$ の係数1.371を、 2^{-n} (nは自然数)の有限数の項に近似展開してR信号を演算する。YV-R変換回路は、入力信号をビットシフトさせて、入力信号 $\times 2^{-k}$ (kは、 $k \leq n$ となる自然数)を出力する複数のビットシフト回路42, 46, 50, 52, 56を有する。また、乗数kの値が異なる2組の入力信号 $\times 2^{-k}$ の項の加算を実施する複数の加算器44, 48, 54, 58, 60, 62を有する。この加算器のうち、一乗差となる複数組の加算を、一つの加算器44で共用する。また、複数の加算器は、複数の 2^{-n} の項のうち値が小さい項と対応する項同士の加算を優先して行うように接続され、前段の加算器の出力をビットシフト回路にてビットシフトさせた時に、次段の加算器での加算以降に足される相手が無い下位ビットを脱落させながら複数回の加算を実施する。



【特許請求の範囲】

【請求項1】 デジタル輝度信号Yとデジタル色差信号U、Vを、デジタル色信号R、G、Bに変換するYUV-RGBデジタル変換回路において、

デジタル輝度信号Yとデジタル色差信号Vから色信号Rに変換するYV-R変換部と、

デジタル輝度信号Yとデジタル色差信号U、Vから色信号Gに変換するYUV-G変換部と、

デジタル輝度信号Yとデジタル色差信号Uから色信号Bに変換するYV-B変換部と、

を有し、

各変換部は、デジタル色差信号に乘算される小数を含む係数が 2^{-n} (nは自然数)の有限数の項に近似展開された各項同士を加算するために、

入力信号をビットシフトさせて、入力信号 $\times 2^{-k}$ (kは、 $k \leq n$ となる自然数)を出力し、1又は複数回のビットシフトにより各々の 2^{-n} の項を演算する各段に設けられた複数のビットシフト回路と、

乗数kの値が異なる2組の入力信号 $\times 2^{-k}$ の項の加算を実施する各段に設けられた複数の加算器と、

を有し、加算される2組の項の各乗数kの差が同じとなる組合せの加算を、一つの加算器で共用したことを特徴とするYUV-RGBデジタル変換回路。

【請求項2】 請求項1において、

前記複数の加算器は、複数の 2^{-n} の項のうち値が小さい項と対応する項同士の加算を優先して行うように多段に接続され、前段の加算器の出力を前記ビットシフト回路にてビットシフトさせた時に、次段の加算器での加算以降に足される相手が無い下位ビットを脱落させながら複数回の加算を実施することを特徴とするYUV-RGBデジタル変換回路。

【請求項3】 請求項1又は2において、

YUV-G変換部は、色差信号 $U \times 2^{-i}$ (iは $i \leq n$ となる自然数)の項と色差信号 $V \times 2^{-j}$ (jは $j \leq n$ となる自然数)の項との2組の項を加算する複数の加算器を有し、2組の項の各乗数の差(i-j)が同じ組合せの加算を、一つの加算器にて共用したことを特徴とするYUV-RGBデジタル変換回路。

【請求項4】 請求項1乃至3のいずれかにおいて、

最終段の加算器からは、所定ビットの加算出力と共に桁上がり信号とが出力され、

前記最終段の加算器の出力を入力し、前記桁上がり信号に基づいて前記所定ビットの加算出力を強制的にオール1とする輝度制限回路をさらに設けたことを特徴とするYUV-RGBデジタル変換回路。

【請求項5】 請求項4において、

各変換部は、色差信号U又はVから所定の階調値を減算する演算器を有し、

最終段の加算器からは、所定ビットの加算出力及び桁上がり信号と共に、前記演算器の出力がマイナスであった

ことを示すマイナス符号信号が出力され、

前記輝度制限回路は、前記マイナス符号信号に基づいて前記所定ビットの加算出力を強制的にオール0とすることを特徴とするYUV-RGBデジタル変換回路。

【請求項6】 請求項1乃至5のいずれかにおいて、デジタル色差信号に乘算される係数が 2^{-n} の複数の項に近似展開された総展開数は、RGBの各信号のSN比が60dB以上となる有限数に設定されることを特徴とするYUV-RGBデジタル変換回路。

10 【請求項7】 請求項1乃至6のいずれかに記載のYUV-RGBデジタル変換回路と、

RGB信号に基づいて画像表示する画像表示部と、

YUV-RGBデジタル変換回路の出力であるRGB信号に対して、前記画像表示部の駆動に適した処理を実施する信号処理回路と、

前記信号処理回路の出力に基づいて、前記画像表示部を駆動する駆動回路と、

を有することを特徴とする画像表示装置。

【請求項8】 請求項7において、

20 前記画像表示部は、一对の基板間に液晶を封入した液晶パネルであることを特徴とする画像表示装置。

【請求項9】 請求項7又は8に記載の画像表示装置と、

前記画像表示装置に電力を供給する電源装置とを有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル輝度信号Yとデジタル色差信号U、Vを、デジタル色信号R、G、Bに変換するYUV-RGBデジタル変換回路と、それをを用いた画像表示装置と、その画像表示装置を用いた電子機器に関する。

【0002】

【背景技術】画像表示装置を有する電子機器として、たとえばプロジェクタを例に挙げれば、このプロジェクタの液晶表示装置は、一对の基板間に液晶を封入した液晶パネルと、入力されたRGB信号に対して、液晶パネルの駆動に適した例えばガンマ補正、極性反転等の信号処理を実施する信号処理回路と、この信号処理回路の出力に基づいて液晶パネルを駆動する駆動回路と、を有する。

【0003】ここで、液晶表示装置の小型化の要請から、信号処理回路をIC化する必要があり、従って、液晶表示装置の信号処理回路には、デジタルのRGB信号を供給する必要がある。

【0004】この液晶表示装置に供給されるRGB信号は、プロジェクタ本体のコントロールボードより出力される。このコントロールボードには、輝度信号Y及び色差信号U、VをRGB信号に変換するYUV-RGB変換回路が設けられる。ここで、コントロールボードではRGB信号に各種処理を施す必要があり、この処理をV

RAMなどのメモリを用いるので、コントロールボードでの信号処理はデジタル処理が適しており、YUV-RGB変換回路でのYUV-RGB変換をデジタルにて行うと効率がよい。

【0005】YUV信号とRGB信号とは、各信号を8ビット(=256階調)とすると、下記の関係にある。
【0006】

$$R = Y + (V - 128) \times 1.371 \quad \dots (1)$$

$$G = Y - (V - 128) \times 0.337 - (U - 128) \times 0.698 \quad \dots (2)$$

$$B = Y + (U - 128) \times 1.733 \quad \dots (3)$$

なお、色差信号U又はVから減算される128の値は、256階調の中間値であり、フル階調の数によって異なる。このように、色差信号U、Vからフル階調値の中間値を減算する理由は、式(1)~(3)に示す各係数が、フル階調値の中間値の時を0として正、負となる色差信号に乘算される必要があるからである。

8ビットとすると、最上位の2⁰の項は整数部のみで8ビット要し、最下位の2⁻⁸の項では小数部のみで8ビット要し、演算過程では整数部及び小数部のトータルで16ビット要し、これによっても回路規模は増大してしまう。

【0007】ここで、(V-128)及び(U-128)に乘算される係数は、それぞれ1.371、0.337、0.698、1.733のように小数を含んでいる。

【0012】そこで、本発明の目的とするところは、デジタルYUV信号からデジタルRGB信号に変換するための各変換部において、デジタル色差信号に乘算される小数を含む係数が2⁻ⁿの有限数の項に近似展開され、その各項同士を加算するための加算器の数を少なくして回路規模を縮小することができるYUV-RGBデジタル変換回路並びにそれを用いた画像表示装置及び電子機器を提供することにある。

【0008】このような小数の積をロジックで実現するには、この小数を2⁻ⁿ(nは自然数)の和に展開して演算する方法が知られている。例えば(V-128)×0.5=(V-128)×2⁻¹は、(V-128)のデジタル値を1ビットだけ下位にシフトすれば求められ、同様にして、(V-128)×2⁻ⁿはnビットだけ下位にシフトすることで、各乗数(-n)毎に容易に演算することができる。

【0013】本発明の他の目的は、2⁻ⁿの各項同士を加算する演算過程において、不要なビットを切り捨てることで回路規模を縮小することができるYUV-RGBデジタル変換回路並びにそれを用いた画像表示装置及び電子機器を提供することにある。

【0009】上述した各係数を2⁻ⁿの和に展開すると、下記の通りとなる。

【0014】本発明のさらに他の目的は、理論値以外の規格外の入力値があっても、表示が反転することのないRGB信号を出力することができるYUV-RGBデジタル変換回路並びにそれを用いた画像表示装置及び電子機器を提供することにある。

【0010】

$$1.371 \approx 2^0 + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-8} + 2^{-10} + 2^{-11} + 2^{-12} + 2^{-13} + 2^{-15} + \dots$$

$$0.337 \approx 2^{-3} + 2^{-4} + 2^{-5} + 2^{-7} + 2^{-10} + 2^{-14} + 2^{-16} + 2^{-17} + 2^{-19} + 2^{-24} + 2^{-25} + \dots$$

$$0.698 \approx 2^{-1} + 2^{-3} + 2^{-4} + 2^{-7} + 2^{-9} + 2^{-11} + 2^{-12} + 2^{-15} + 2^{-16} + 2^{-18} + 2^{-20} + \dots$$

$$1.733 \approx 2^0 + 2^{-1} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-7} + 2^{-8} + 2^{-9} + 2^{-11} + 2^{-14} + 2^{-15} + 2^{-17} + \dots$$

【発明が解決しようとする課題】上述の係数は、展開数を有限とする限り、近似したものしか使用できない。ここで、この係数を多項にわたって展開すれば、より正確な値を用いることができるが、回路規模が大きくなってしまふ。一方、回路規模を小さくしようとして展開数を少なくし過ぎれば、演算誤差がより大きくなる。このように、係数の展開数は、回路規模の観点と演算誤差の観点との双方を考慮して決定する必要がある。

【0011】次に、展開数を決定した後の演算回路の規模について考察すると、例えば上述の(1)式にて係数1.371を7項まで展開して近似するものとした場合、これらの各項を順番に加算すると6つの加算器が必要となり、回路規模も増大する。また、例えばデータを

30

40

50

【0015】

【課題を解決するための手段】請求項1の発明は、デジタル輝度信号Yとデジタル色差信号U、Vを、デジタル色信号R、G、Bに変換するYUV-RGBデジタル変換回路において、デジタル輝度信号Yとデジタル色差信号Vから色信号Rに変換するYV-R変換部と、デジタル輝度信号Yとデジタル色差信号U、Vから色信号Gに変換するYUV-G変換部と、デジタル輝度信号Yとデジタル色差信号Uから色信号Bに変換するYU-B変換部と、を有し、各変換部は、デジタル色差信号に乘算される小数を含む係数が2⁻ⁿ(nは自然数)の有限数の項に近似展開された各項同士を加算するために、入力信号をビットシフトさせて、入力信号×2^{-k}(kは、k≤nとなる自然数)を出力し、1又は複数回のビットシフトにより各々の2⁻ⁿの項を演算する各段に設けられた複数のビットシフト回路と、乗数kの値が異なる2組の入力信号×2^{-k}の項の加算を実施する各段に設けられた複数の加算器と、を有し、加算される2組の項の各乗数kの差が同じとなる組合せの加算を、一つの加算器で共用

したことを特徴とする。

【0016】請求項1の発明によれば、例えばYV信号よりR信号に変換するに際して、例えば $V \times (2^0 + 2^{-1} + 2^{-2} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-8})$ が演算されるが、このうち、例えば $2^{-7} + 2^{-8}$ 、 $2^{-6} + 2^{-7}$ は共に一乗差の加算である。そこでまず、 $V \times 2^{-1}$ を1段目のビットシフト回路を用いて得た後、各々の乗数kの差が一乗差となる $V \times 2^{-1}$ と $V \times 2^0$ との加算を行う。この $V(2^0 + 2^{-1})$ を、ビットシフト回路で下位側に5ビットシフトすれば $2^{-5} + 2^{-6}$ が得られ、他のビットシフト回路にて下位側に7ビットシフトすれば $2^{-7} + 2^{-8}$ が得られる。このように、一つの加算器を乗数差の等しい項の加算に共用できるため、回路規模を縮小できる。

【0017】請求項2の発明は、請求項1において、前記複数の加算器は、複数の 2^{-k} の項のうち値が小さい項と対応する項同士の加算を優先して行うように多段に接続され、前段の加算器の出力を前記ビットシフト回路にてビットシフトさせた時に、次段の加算器での加算以降に足される相手が無い下位ビットを脱落させながら複数回の加算を実施することを特徴とする。

【0018】請求項2の発明によれば、最終出力のデータの桁への桁上がりに無関係な桁を、演算の途中にて切り捨てることができるため、演算ビット数が低減し、回路規模を縮小することができる。

【0019】請求項3の発明は、請求項1又は2において、YUV-RGB変換部は、色差信号 $U \times 2^{-i}$ (i は $i \leq n$ となる自然数)の項と色差信号 $V \times 2^{-j}$ (j は $j \leq n$ となる自然数)の項との2組の項を加算する複数の加算器を有し、2組の項の各乗数の差($i-j$)が同じ組合せの加算を、一つの加算器にて共用したことを特徴とする。

【0020】YUV-RGB変換部は、色差信号としてU、Vが用いられ、色差信号U同士の例えば一乗差の項を加算する加算器と、色差信号V同士の一乗差の項を加算する加算器とは、入力されるデータがU、Vと異なるため、この場合には加算器を共用できない。請求項3の発明のように構成すれば、色差信号 $U \times 2^{-i}$ と色差信号 $V \times 2^{-j}$ とは一つの加算器に共通して入力させることができるため、加算器の数が減って回路規模が縮小する。

【0021】請求項4の発明は、請求項1乃至3のいずれかにおいて、最終段の加算器からは、所定ビットの加算出力と共に桁上がり信号とが出力され、前記最終段の加算器の出力を入力し、前記桁上がり信号に基づいて前記所定ビットの加算出力を強制的にオール1とする輝度制限回路をさらに設けたことを特徴とする。

【0022】請求項4の発明によれば、最終段の加算器の最大値を超える規格外の値が出力される場合でも、輝度制限回路により強制的に最大値に修正でき、画質を向上させることができる。

【0023】請求項5の発明は、請求項4において、各

変換部は、色差信号U又はVから所定の階調値を減算する演算器を有し、最終段の加算器からは、所定ビットの加算出力及び桁上がり信号と共に、前記演算器の出力がマイナスであったことを示すマイナス符号信号が出力され、前記輝度制限回路は、前記マイナス符号信号に基づいて前記所定ビットの加算出力を強制的にオール0とすることを特徴とするYUV-RGBデジタル変換回路。

【0024】請求項5の発明によれば、規格外の入力により最終段の加算器の出力がマイナスの値となっても、輝度制限回路により最小輝度の値に強制的に修正されるので、画質を向上させることができる。

【0025】請求項6の発明は、請求項1乃至5のいずれかにおいて、デジタル色差信号に乗算される係数が 2^{-k} の複数の項に近似展開された総展開数は、RGBの各信号のSN比が60dB以上となる有限数に設定されることを特徴とする。

【0026】請求項6の発明によれば、展開数を有限としても、SN比が60dB以上の精度を得ることができ、デジタルにてYUV-RGB変換を実施しながら、所定以上の画質をの画像を再生することができる。

【0027】請求項7~9の各発明は、請求項1乃至6のいずれかに記載のYUV-RGBデジタル変換回路を含む画像表示装置及び電子機器を定義している。

【0028】

【発明の実施の形態】以下、本発明の実施例を図面を参照して具体的に説明する。

【0029】(装置全体の構成)図1は、本発明の実施例にかかる例えばプロジェクタ等の電子機器の液晶表示にかかる構成部分のブロック図を示している。図1において、電子機器のコントロールボード10には、コンポジットビデオ信号を入力してアナログ-デジタル変換するアナログ-デジタル変換器(ADC)12を有する。ADC12の後段には、デジタルクロマ回路14が設けられている。このデジタルクロマ回路14は、デジタル化されたビデオ信号より、輝度信号Yと時分割の複合信号であるU/V信号とを分離するものである。デジタルクロマ回路14の出力を図17に示す。図17に示す数値は画素番号を示し、輝度信号Yは、1画素あたり8ビットの情報を持つ。一方色差信号の複合信号U/Vは、隣接する2画素でU信号とV信号とは同じ信号が共用され、2画素あたりにU、V共それぞれ8ビットの情報を持つ。

【0030】このY信号及びU/V信号を入力するYUV-RGB変換回路16は、YUV信号をRGB信号に変換するもので、図2に示すように、輝度信号Yを遅延させる遅延回路16Aと、時分割の複合信号であるU/V信号をパラレルなU信号及びV信号に分離するU/V分離回路16Bとを有する。遅延回路16Aから出力されるY信号と、U/V分離回路16Bから出力されるU信号及びV信号は、図17に示すように並列に出力され

る。

【0031】さらに、このYUV-RGB変換回路16は、図2に示す通り、YV-R変換回路16Cと、YUV-G変換回路16Dと、YU-B変換回路16Eとを有するが、その詳細は後述する。

【0032】このコントロールボード10には、アナログPC（パーソナルコンピュータ）信号を入力するADC18が設けられ、このADC18はアナログのRGB信号をデジタルに変換して出力する。

【0033】YUV-RGB変換回路16又はADC18からデジタルRGB信号を入力するグラフィックコントローラ20は、グラフィック表示のための種々のデジタル処理を実施する。このために、グラフィックコントローラ20はVRAMを有し、デジタルRGB信号をVRAMに格納して各種処理を実施する。例えば、ADC12を介して入力されたビデオ信号がCRT用のガンマ補正がかけられているため、これを元に戻すガンマ補正処理がグラフィックコントローラ20で実施される。さらには、飛び越し走査のための処理がグラフィックコントローラ20にて実施される。

【0034】グラフィックコントローラ10からの出力は、図1に示すLCD30を駆動コントロールするLCDコントローラ32に供給される。このLCDコントローラ32でも、RGB信号に対してデジタル処理が実施され、例えば、このLCDコントローラ32では、LCD30の印加電圧-透過率特性に応じたガンマ補正処

理、極性反転駆動のための信号反転処理、駆動周波数を下げるための信号処理、さらにはアンプのばらつきを画像上にて見え難くするための信号処理などが実施される。

【0035】なお、LCD30は、スイッチング素子を用いない単純マトリクス液晶表示パネル、TFTで代表される三端子スイッチング素子あるいはMIMにて代表される二端子スイッチング素子を用いたアクティブマトリクス液晶表示パネル、強誘電液晶表示パネルなど、種々のタイプの液晶パネルを用いることができる。

【0036】次に、本発明の特徴的構成であるYUV-RGB変換回路16について、図3以降を参照して説明する。

【0037】（色差信号に乗算される係数の 2^{-n} の展開数について）YUV-RGB変換回路16は、上述した式(1)～(3)に基づいて、それぞれRGBの各色信号を演算して出力するものであるが、色差信号に乗算される係数の 2^{-n} の展開数についてまず検討する。

【0038】式(1)～(3)に示す各係数を展開した項である 2^{-n} のnをどこまで持つかで、その近似された係数に基づき演算回路を設計した場合の各色RGBのSN比を計算することができ、展開数とSN比との関係を、下記の表1に示す。

【0039】

【表1】

	$n \leq 7$	$n \leq 8$	$n \leq 9$	$n \leq 10$	$n \leq 11$	$n \leq 12$	$n \leq 13$	$n \leq 14$
RのS/N	57.6	87.5	87.5	87.5	87.5	87.5	87.5	87.5
GのS/N	60.7	60.7	67.8	72.5	81.3	91.0	91.0	100.0
BのS/N	64.9	64.9	80.0	80.0	85.4	85.4	85.4	85.4

ここで、上記の表1より明らかなように、展開数が少ない場合ほど演算精度は低下し、この演算精度の低下に起因してノイズが増えるため、SN比は低下する。なお、上記表1において、nの数が変わったにも拘わらずSN比が変化していないのは、nの上限におさまるか誤差をより小さくするような項が存在しないからである。

【0040】本発明者等の考察によれば、演算回路のSN比が60[dB]以上あれば、液晶表示上の画質に問題ないことが分かり、現在のレーザディスクのSN比が

1. 371 $\approx 2^0 + 2^{-2} + 2^{-4} + 2^{-6} + 2^{-8} + 2^{-10} + 2^{-12} + 2^{-14}$... (4)

0. 337 $\approx 2^{-2} + 2^{-4} + 2^{-6} + 2^{-8} + 2^{-10}$... (5)

0. 698 $\approx 2^{-1} + 2^{-3} + 2^{-5} + 2^{-7} + 2^{-9}$... (6)

1. 733 $\approx 2^0 + 2^{-1} + 2^{-2} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-8} + 2^{-9}$... (7)

なお、回路のSN比の下限を変更する場合の展開数に関しては、上記の表1を考慮して決定することができる。

【0042】(YUV-RGB変換回路の構築原理) 次に、上記(1)の演算式及び(4)の展開式に従って、

40 [dB]であることを考えると、このことの妥当性が裏付けられる。ここで、本実施例では、このYUV-RGB変換回路16をICで構成し、このYUV-RGB変換ICが将来的に長く使用されることを考慮して、回路のSN比の下限を70[dB]に設定した。この場合の、各係数の展開は下記の式(4)～(7)の通りである。

【0041】

輝度信号Y及び色差信号VをR信号に変換する回路を例に挙げて、本発明の変換回路の構築の手法について説明する。

【0043】図3は、式(4)の展開式に用いられる2

が乗算される(V-128)が8ビットとされ、その乗算した結果の各項のビットの広がり示している。

【0044】ここで、本発明者等が注目した点は、

(4)式を(1)式の(V-128)に乗算した結果の最終出力が、図3中の2⁰~2⁷の桁に存在する8ビットであり、それ以外の桁は、式(4)の加算途中において2⁰~2⁷の桁まで桁上がされるものだけを考慮すれば良いことである。

【0045】従って、2⁰~2⁷のいずれの桁にも影響の無い項は、演算過程において無視しても演算精度は確保され、しかも演算途中のビット数を低減することで回路規模を縮小することができる。

【0046】ここで、図3に示す7項のうち、値の大きな上位の項から順次加算するとすれば、2⁻¹以下の桁は、最後の演算まで2⁰以上の桁に桁上がりする可能性があり、これでは演算途中での下位側ビットを省略することはできず、回路規模は縮小されない。

【0047】そこで、本発明者等は、図3に示す7項のうち、値の小さな下位の項から優先して加算することとした。

【0048】例えば、図3の下位側の2項である2⁻⁸の項+2⁻⁷の項をまず加算する場合を考察すると、2⁻⁸の項の最下位ビットである2⁻⁸の桁は、今後も一切加算される相手がなく、桁上がりに無関係な演算上不要な桁であることが分かる。また、2⁻⁸の項+2⁻⁷の項の演算が終了した後は、その演算結果のうちの2⁻⁷の桁も、今後は一切加算される相手がなく、桁上がりに無関係な演算上不要な桁であることが分かる。

【0049】このように、図3に示す7項のうち、値の小さな下位の項から優先して加算することにより、演算上無駄な下位側の桁を切り捨てることができ、加算器のビット数が少なくて済むため、これにより回路規模を縮小することができる。

【0050】次に、図3に示す7項を加算する加算器について考察する。図3に示す7項のうち、値の小さな下位の項から順番に加算するとすれば、6つの加算器が必要となる。

【0051】ここで、デジタル値の特性として、8ビット×2^{-k}の演算は、その8ビットデータを下位側にkビットシフトするビットシフト回路にて実現できることは上述した通りである。

【0052】本発明者等は、図3に示す7項の中に、2⁻ⁿの乗数(-n)の差が同じとなる加算の組合せが、複数組存在することに着目した。例えば、乗数(-n)の差が一乗差となる加算の組合せとして、(2⁻⁸の項+2⁻⁷の項)の組合せと、(2⁻⁶の項+2⁻⁵の項)の組合せ

$$R = Y + (V - 128) \times (2^0 + 2^{-1} + 2^{-4} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-8})$$

=第1項+第2項+第3項+第4項

ここで、

との2組存在する。

【0053】このとき、加算器の入力として、(V-128)が1ビットシフト回路を通過する前後の2入力とすれば、この加算器は(V-128)×(2⁰+2⁻¹)を出力できる。この加算器の出力を、下位側に7ビットシフトすれば、(2⁻⁸の項+2⁻⁷の項)の演算結果が得られ、下位側に5ビットシフトすれば、(2⁻⁶の項+2⁻⁵の項)が得られる。

【0054】このように、この加算器は、2⁻ⁿの乗数(-n)の差が同じであれば、nの値に拘わらず共用できるのであり、以下の実施例では、この手法により加算器の数を低減している。

【0055】(YV-R変換回路の一構成例)上述の構築原理に従って作成されたYUV-RGB変換回路は、上述の式(1)~(3)のとおり3つの変換回路を含むが、その一例を、図4に示すYV-R変換回路を例に挙げて説明する。

【0056】図4に示すYV-R変換回路への入力は、8ビットの輝度信号Y及び色差信号Vである。色差信号Vは(V-128)演算部40に入力し、V-128の演算が実施される。この演算は、デジタル値の特性上、8ビット色差信号Vの最上位ビットを反転させるだけで実施できる。この値を、図5に示す通りAで示す。この8ビットデータAは、-128~0~+127の正又は負の値となり、データ自体は8ビットで表現できる。ここで、データAは正の値の最大値が127であるため、データAが正であれば、2⁷のビットは必ず“0”である。データAが負の時は、例えばA=-1のときは、2⁰~2⁷の各ビットがオール1となり、A=-2の時には2⁰のビットのみが“0”となるように表される。従って、データAが負の時には、2⁷のビットが必ず“1”となる。このように、本実施例では、データAの最上位ビットの値を、図5に示すように符号ビットとし、このことを利用して、後述するクリッピング回路64にて符号に基づく階調制限処理を実施している。なお、データAの情報は上記のものに限らず、例えばA=-128のとき2⁰~2⁷の各ビットをオール0とし、A=+127のとき2⁰~2⁷の各ビットをオール1とし、データAが正の時には2⁷のビットは必ず“1”となり、データAが負の時には2⁷のビットは必ず“0”となるようにしてもよい。

【0057】図4に示す回路では、YVからRへの変換を下記の式(8)の通り、第1項から第4項に分けて実施している。

【0058】

$$\text{第1項} = [(V-128) \times (2^{-7} + 2^{-8})]$$

$$\text{第2項} = [(V-128) \times (2^{-6} + 2^{-7})]$$

$$\text{第3項} = [(V-128) \times (2^{-5} + 2^{-6})]$$

$$\text{第4項} = [Y + (V-128) \times 2^0]$$

... (8)

そして、図4において、第1項+第2項 = $[(V-128) \times (2^{-7} + 2^{-8})] + [(V-128) \times (2^{-6} + 2^{-7})]$ の演算を実施するために、第1段目に1ビットシフト回路42、第2段目に一乗差加算器44、第3段目に加算器46、第4段目に加算器48、第5段目に5ビットシフト回路50を設けている。

【0059】上述の第1項及び第2項は、 2^{-n} の乗数(-n)の差が一乗差であり、この2組の演算に一乗差加算器44を兼用している。この第1項+第2項の演算を図4及び図5を参照して説明する。なお、上述したデータAを1ビットシフト回路42を通過させることで、図5に示すように、データAが下位側に1ビットシフトされたデータBを得る。この1ビットシフトの際に、データAの最上位の符号ビットの値をデータBの 2^7 のビットに付加して、符号拡張を行う。したがって、データBは9ビットとなる(図5参照)。なお、以降のkビットシフトの際にも、ビットシフト後のデータの上位側のk個の桁には、ビットシフト前の最上位ビットの符号ビットが付加される符号拡張が実施される。

【0060】次に、A+Bを演算する一乗差加算器44の出力Cとして、 $(V-128) \times (2^0 + 2^{-1})$ が得られる。このA+Bの演算を含めて全ての加算演算は、同一桁のビット値同士(桁上がりビット及び符号ビットの桁も含む)を桁上がりを考慮して加算して実施し、同一桁にデータがない場合(A+Bの場合の 2^{-1} の桁)には0を加算する。

【0061】このデータCは、図5に示すとおり、データ部分の最下位桁が 2^{-1} でデータ部分の最上位桁は 2^6 となる8ビットデータとなる。この加算時には桁上がりが生じるので、 2^7 の桁が桁上がりビットとなり、データCの 2^8 の桁が符号ビットとなり、トータル10ビットとなる。

【0062】このデータCが、2ビットシフト回路46にて下位側に2ビットシフトされて、データD = $(V-128) \times (2^{-3} + 2^{-4})$ が得られる。このデータDは、図5に示すとおり、データ部分の最下位桁が 2^{-3} でデータ部分の最上位桁は 2^4 となる8ビットデータに加えて、 2^5 の桁が桁上がりビットとなり、 $2^6 \sim 2^8$ の3ビットが符号拡張されて符号ビットとなり、トータル12ビットである。

【0063】ところで、このデータDは、加算器48にてデータCと加算されることになるが、この加算時以降を含めて、データDの下位2桁の 2^{-3} と 2^{-4} の桁のデータは、加算される相手が存在しない。したがって、データDの下位2桁のデータは、図5に示す通り切り捨てることができる。

10

【0064】そうすると、加算器48の演算結果であるC+D=E = $(V-128) \times (2^0 + 2^{-1} + 2^{-2} + 2^{-3})$ は、図5に示す通り、データCと同様にデータ部分は8ビットとなり、この場合には 2^7 及び 2^8 の2桁が桁上がりビットとして必要となり、 2^9 の桁が符号ビットとなる。

20

【0065】次に、データEは5ビットシフト回路48にて、下位側に5ビットシフトされ、データFが得られる。このデータFは、データ部分の最下位桁が 2^{-6} でデータ部分の最上位桁は 2^1 となる8ビットデータに加えて、 2^2 及び 2^3 の2桁が桁上がりビットとなり、 $2^4 \sim 2^8$ の5桁が符号拡張されて符号ビットとなり、トータル16ビットである。ところでこのデータFは、後述する加算器62にて他のデータと加算されることになるが、この加算時以降を含めて、データFの下位2桁の 2^{-6} と 2^{-5} の桁のデータは、加算される相手が存在しない。したがって、データFの下位2桁のデータは、図5に示す通り切り捨てることができ、この結果、データFはトータル14ビットとなる。

30

【0066】次に、上述の式(8)の第3項及び第4項の演算について説明する。第3項のの演算を実施する回路として、図4の通り、1段目の2ビットシフト回路52、2段目の二乗差加算器54、3段目の2ビットシフト回路56が設けられている。

40

【0067】また、第4項の演算のために0乗差加算器58が設けられている。そして、第3項+第4項の加算を実施するために、加算器60が設けられている。

【0068】まず、第4項の演算について説明すると、 $(V-128)$ 演算部40の出力Aと輝度信号Yとが0乗差加算器58に入力され、その出力 = $Y + (V-128) \times 2^0$ として、図5に示すデータGが得られる。このデータGは、データ部分の最下位桁が 2^0 でデータ部分の最上位桁は 2^7 となる8ビットデータに加えて、 2^8 の桁が桁上がりビットとなり、 2^9 の桁が符号ビットとなり、トータル10ビットである。

50

【0069】次に、第3項の演算について説明すると、まず、 $(V-128)$ 演算部40からのデータAが、2ビットシフト回路52にて下位側に2ビットシフトされて、図5に示すデータHが得られる。このデータHは、データ部分の最下位桁が 2^{-2} でデータ部分の最上位桁は 2^4 となる7ビットデータに加えて、 $2^5 \sim 2^8$ の4桁が符号拡張されて符号ビットとなり、トータル10ビットである。二乗差加算器54は、このデータHとデータAとを加算し、 $A+H = (V-128) \times (2^0 + 2^{-2})$ として、図5に示すデータIを得る。このデータIは、データの最下位桁が 2^{-2} でデータの最上位桁は 2^6 となる

9ビットデータを有し、 2^7 の桁が桁上がりビットとなり、 2^8 の桁が符号ビットとなり、トータル11ビットである。このデータIは、さらに2ビットシフト回路56により下位側に2ビットシフトされて、データJとなる。従って、このデータJは、データ部分の最下位桁が 2^{-4} でデータ部分の最上位桁は 2^4 となる9ビットデータに加えて、 2^8 が桁上がりビットとなり、 $2^6 \sim 2^8$ が符号拡張されて符号ビットとなり、トータル13ビットである。

【0070】第3項+第4項の演算を実施する加算器60の出力として、図5に示す通りデータKが得られる。このデータKは、データの最下位桁が 2^{-4} でデータの最上位桁は 2^7 となる12ビットデータに加えて、 2^8 の桁が桁上がりビットとなり、 2^9 の桁が符号ビットとなり、トータル14ビットである。なお、データKでは、 2^9 以上のビットの桁上がりはデータとして不要であるので、 2^9 の桁に桁上がりデータを設ける必要はない。

【0071】そして最後に、第1項+第2項+第3項+第4項の演算を実施する最終段の加算器62の出力として、図5に示す通りデータLが得られる。この最終出力のデータ部分は8ビットでよいので、図5の通り下位4ビットは切り捨てられ、 $2^0 \sim 2^7$ のデータ部分に加えて、 2^8 の桁が桁上がりビットとなり、 2^9 の桁が符号ビットとなる。

【0072】なお、規格内の入力YVがあった場合には、8ビットの出力データLの最小値は0(8ビット全て0)で最大値は255(8ビット全て1)となる。ただし、規格外の入力があった場合には、例えば出力データLの値が256(8ビットのデータ全て0)となる場合があり、この場合の誤動作に備えてデータLは桁上がりビットを有している。また、他の例として、例えば出力データL=-1(8ビットのデータ全て1)となる場合があり、この場合の誤動作に備えてデータLは符号ビットを有している。

【0073】(クリッピング回路について)図4に示すとおり、最終段の加算器62の後段には、輝度制限回路として機能するクリッピング回路64が設けられている。このクリッピング回路64の機能は2つあり、その一つは、上述の通り符号ビットがマイナスを示した場合の誤動作を解消するものである。このときには、データLを“0”とみなして良いため、データLの $2^8 \sim 2^9$ の各桁の8ビット全てを強制的に“0”にしている。

【0074】クリッピング回路64の他の一つの機能は、データLに桁上がりがあった場合の誤動作を解消するものである。このときには、データLは“255”とみなして良いため、データLの $2^0 \sim 2^7$ の各桁のデータ8ビット全てを強制的に“1”にしている。

【0075】このクリッピング回路62の一例を図6に示す。同図に示すように、符号ビットが“1”であると、インバータを介して8つのアンドゲートに“0”が

入力されるので、8ビットの各桁の出力は強制的に“0”とされる。ここで、符号ビットが“0”である場合には、アンドゲートの一方の入力端には常に“1”が入力されるので、桁上がりビットが“0”である限り、出力データLの8ビットがそのままオアゲート及びアンドゲートを介して出力される。一方、桁上がりビットが“1”となった場合には、オア回路を介して全てのアンドゲートの他方の入力端に“1”が入力されるので、8ビットの各桁の出力は強制的に“1”とされる。

【0076】(YV-R変換回路の他の構成例について)図7(A)は、YV-R変換回路の変形例を模式的に示している。図7(A)は図4の実施例とは異なり、二乗差の加算器72を、 $[(V-128) \times (2^{-2} + 2^{-4})]$ と、 $[(V-128) \times (2^{-5} + 2^{-7})]$ と、 $[(V-128) \times (2^{-6} + 2^{-8})]$ の3種の二乗差の加算に共用した例を示している。

【0077】図7(A)のYV-R変換回路の詳細を図8に、図8中の信号A~Jを図9に示す。なお、図9に示す符号ビットと桁上がりビットは、図4、図5の実施例と同様である。図8及び図9において、 $(V-128)$ 演算部40からの出力データAは図4と同じであり、2ビットシフト回路70の出力データBは、 $B = (V-128) \times 2^{-2}$ となる。その後段の二乗差加算器72からの出力データCは、

$$C = (V-128) \times (2^0 + 2^{-2})$$

となる。さらにその後段の1ビットシフト回路76からの出力データDは、

$$D = (V-128) \times (2^{-1} + 2^{-3})$$

となる。さらにその後段の加算器78からの出力データEは、

$$E = (V-128) \times (2^0 + 2^{-1} + 2^{-2} + 2^{-3})$$

となる。さらにその後段の3ビットシフト回路80からの出力データFは、

$$F = (V-128) \times (2^{-3} + 2^{-4} + 2^{-5} + 2^{-6})$$

となる。

【0078】ここで、加算器84に入力される一方のデータCは、他方のデータFが加算器78を経て得られる時間分だけ遅延させる必要があり、遅延回路82にて遅延され同期がとられる。加算器84の出力データGは、 $G = (V-128) \times (2^0 + 2^{-2} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-6})$

となる。その後段の2ビットシフト回路86からの出力データHは、

$$H = (V-128) \times (2^{-2} + 2^{-4} + 2^{-5} + 2^{-6} + 2^{-7} + 2^{-8})$$

となる。

【0079】一方、0乗差加算器88からの出力データIは、

$$I = Y + (V-128)$$

となり、これが遅延回路 9 0 にて遅延されて、2 ビットシフト回路 8 6 からの出力データ H と同期がとられて、最終段の加算器 9 2 に入力される。そして、この最終段の加算器 9 2 からの出力データ J として、

$$J = Y + (V - 128) \times (2^0 + 2^{-2} + 2^{-4} + 2^{-6} + 2^{-8} + 2^{-10} + 2^{-12})$$

が得られ、図 4、図 5 の実施例と同じ結果が得られる。この出力データ J は、図 6 に示すクリッピング回路 6 4 に供給される。

【0080】(YU-B変換回路の構成例について) 図 7 (B) は、YU-B変換回路を模式的に示している。図 7 (B) の YU-B変換回路の詳細を図 1 0 に示す。なお、図 1 0 に示す各データも、上述の実施例同様に、符号ビットと桁上がりビットを有しているが、その詳細は省略する。図 1 0 の実施例では、一乗差の 3 種類の演算に、一乗差加算器 1 0 2 を兼用している。

【0081】図 1 0 において、(U-128) 演算部 4 1 からの出力データ A は図 4、図 8 と同じであり、1 ビットシフト回路 1 0 0 の出力データ B は、

$$B = (U - 128) \times 2^{-1}$$

となる。その後段の一乗差加算器 1 0 2 からの出力データ C は、

$$C = (U - 128) \times (2^0 + 2^{-1})$$

となる。さらにその後段の 3 ビットシフト回路 1 0 4 からの出力データ D は、

$$D = (U - 128) \times (2^{-3} + 2^{-4})$$

となる。さらにその後段の加算器 1 0 6 からの出力データ E は、

$$E = (U - 128) \times (2^0 + 2^{-1} + 2^{-3} + 2^{-4})$$

となる。

【0082】一方、(U-128) 演算部 4 1 からの出力データ A は、2 ビットシフト回路 1 0 8 にも入力され、その出力データ F は、

$$F = (U - 128) \times 2^{-2}$$

となる。その後段の二乗差加算器 1 1 0 からの出力データ G は、

$$G = (U - 128) \times (2^0 + 2^{-2})$$

となる。その後段の加算器 1 1 2 には、データ D、G が入力され、その出力データ H として、

$$H = (U - 128) \times (2^0 + 2^{-2} + 2^{-3} + 2^{-4})$$

となる。さらにその後段の 5 ビットシフト回路 1 1 4 の出力データ I として、

$$I = (U - 128) \times (2^{-5} + 2^{-7} + 2^{-9} + 2^{-11})$$

が得られる。データ H、I が入力される加算器 1 1 6 の出力データ J は、

$$J = (U - 128) \times (2^0 + 2^{-1} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-7} + 2^{-9} + 2^{-11})$$

となる。

【0083】さらに、輝度信号 Y は遅延回路 1 1 8 にて遅延されて、データ J と同期がとられて最終段の加算器

1 2 0 に入力され、その出力データ K として、

$$K = Y + (U - 128) \times (2^0 + 2^{-1} + 2^{-3} + 2^{-4} + 2^{-5} + 2^{-7} + 2^{-9} + 2^{-11})$$

が得られ、式 (7) と同じ結果が得られる。この出力データ K は、図 6 に示すクリッピング回路 6 4 に供給される。

【0084】(YUV-G変換回路の構成例について) 図 7 (C) は、YUV-G変換回路の一例を模式的に示している。図 7 (C) の例では、一乗差加算器を 3 種類の一乗差の項の加算に兼用している。ここで、上述の実施例と異なる点は、色差信号 $U \times 2^{-1}$ と色差信号 $V \times 2^{-1}$ との加算にあたり、各乗数の差 (i-j) が同じ (本例の場合一乗差) となる組合せに、加算器を共用している点である。本実施例の場合には、色差信号 U 同士の一乗差の項を加算する加算器と、色差信号 V 同士の一乗差の項を加算する加算器とは、入力されるデータが U、V と異なるため、この場合には加算器を共用できないからである。

【0085】この図 7 (C) の回路の詳細を図 1 1 に示す。図 1 1 において、(V-128) 演算部 4 0 の出力データ A は、2 ビットシフト回路 2 0 4 及び 0 乗差加算器 2 1 2 に入力され、(U-128) 演算部 4 1 の出力データ B は、1 ビットシフト回路 2 0 2 及び 0 乗差加算器 2 1 2 に入力される。

【0086】まず、一乗差加算器 2 1 0 のルートの演算から説明すると、データ B が入力される 1 ビットシフト回路 2 0 2 からの出力データ C は、

$$C = (U - 128) \times 2^{-1}$$

となる。データ A が入力される 2 ビットシフト回路 2 0 4 の出力データ D は、

$$D = (V - 128) \times 2^{-2}$$

となり、データ C、D が入力される一乗差加算器 2 1 0 からの出力データ E は、

$$E = (U - 128) \times 2^{-1} + (V - 128) \times 2^{-2}$$

となる。このデータ E は 2 ビットシフト回路 2 1 6 にて、下位側に 2 ビットシフトされて、その出力データ F として、

$$F = (U - 128) \times 2^{-3} + (V - 128) \times 2^{-4}$$

が得られる。さらに、データ E、F が入力される加算器 2 2 4 からの出力データ G として、

$$G = (U - 128) \times (2^{-1} + 2^{-3}) + (V - 128) \times (2^{-2} + 2^{-4})$$

が得られる。

【0087】次に、0 乗差加算器 2 1 2 の演算ルートについて説明すると、データ A、B が入力される 0 乗差加算器 2 1 2 からの出力データ H として、

$$H = (U - 128) + (V - 128)$$

が得られる。このデータ G は 7 ビットシフト回路 2 2 0 により下位側に 7 ビットシフトされて、その出力データ I として、

$I = (U - 128) \times 2^{-7} + (V - 128) \times 2^{-7}$
 が得られる。一方、一乗差加算器210からの出力データDは8ビットシフト回路218にも入力され、その出力データJとして、

$J = (U - 128) \times 2^{-9} + (V - 128) \times 2^{-10}$
 が得られる。

【0088】これらデータI、Jが入力される加算器226からの出力データKとして、

$K = (U - 128) \times (2^{-7} + 2^{-9}) + (V - 128) \times (2^{-7} + 2^{-10})$

が得られる。

【0089】次に、二乗差加算器214のルートでの演算について説明すると、データB、Dが入力される二乗差加算器214からの出力データLとして、

$L = (U - 128) + (V - 128) \times 2^{-2}$

が得られる。このデータLは4ビットシフト回路222により下位側に4ビットシフトされて、その出力データMとして、

$M = (U - 128) \times 2^{-4} + (V - 128) \times 2^{-6}$

が得られる。このデータMは遅延回路228により遅延されて、データKと同期がとられて加算器230に入力される。加算器230からの出力データNは、

$N = (U - 128) \times (2^{-4} + 2^{-7} + 2^{-9}) + (V - 128) \times (2^{-6} + 2^{-7} + 2^{-10})$

となる。さらに、加算器224からのデータGは遅延回路232により遅延され、加算器230からのデータNと共に加算器234に入力される。この加算器234からの出力データOは、

$O = (U - 128) \times (2^{-1} + 2^{-3} + 2^{-4} + 2^{-7} + 2^{-9}) + (V - 128) \times (2^{-2} + 2^{-4} + 2^{-6} + 2^{-7} + 2^{-10})$

となる。

【0090】このデータOは符号反転回路238に入力され、8ビットのデータ部分及び桁上がりビット、符号ビットから成る10ビットの全てのビットが反転され、さらに最下位ビットに“1”が加えられ、データ反転処理されたデータPが出力される。

【0091】最後に、輝度信号Yが、遅延回路236により遅延されてデータPと同期がとられて、この信号YとデータPとが加算器24に入力される。データPは予め反転処理されているので、信号YよりデータPが減算され、この加算器240からの出力データQとして、

$Q = Y - (U - 128) \times (2^{-1} + 2^{-3} + 2^{-4} + 2^{-7} + 2^{-9}) - (V - 128) \times (2^{-2} + 2^{-4} + 2^{-6} + 2^{-7} + 2^{-10})$

が得られる。このデータQも、クリッピング回路64に供給される点は、上述の各実施例と同様である。

【0092】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0093】例えば、上述した各実施例では省略したが、加算器の前段には例えばD型フリップフロップにて構成される、2入力の同期をとるための回路を挿入することが好ましい。この場合、上述の実施例の通り、無駄な下位ビットを切り捨てることで、ビット毎に必要なD型フリップフロップの数を減少でき、回路規模の縮小に寄与できる。

【0094】上述の実施例の液晶表示装置を用いて構成される電子機器は、図12に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。この表示情報出力源1000が、上述した各種実施例のYUV-RGB変換回路を含んでいる。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

【0095】このような構成の電子機器として、図13に示す液晶プロジェクタ、図14に示すマルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、図15に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0096】図13に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。図13において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、

グリーンGの光が直進するので各色の画像が合成され、
投写レンズ1114を通してスクリーンなどにカラー画
像が投写される。

【0097】図14に示すパーソナルコンピュータ12
00は、キーボード1202を備えた本体部1204
と、液晶表示画面1206とを有する。

【0098】図15に示すページャ1300は、金属製
フレーム1302内に、液晶表示基板1304、バック
ライト1306aを備えたライトガイド1306、回路
基板1308、第1、第2のシールド板1310、13
12、2つの弾性導電体1314、1316、及びフィ
ルムキャリアテープ1318を有する。2つの弾性導電
体1314、1316及びフィルムキャリアテープ13
18は、液晶表示基板1304と回路基板1308とを
接続するものである。

【0099】ここで、液晶表示基板1304は、2枚の
透明基板1304a、1304bの間に液晶を封入した
もので、これにより少なくともドットマトリクス型の液
晶表示パネルが構成される。一方の透明基板に、図12
に示す駆動回路1004、あるいはこれに加えて表示情
報処理回路1002を形成することができる。液晶表示
基板1304に搭載されない回路は、液晶表示基板の外
付け回路とされ、図15の場合には回路基板1308に
搭載できる。

【0100】図15はページャの構成を示すものである
から、液晶表示基板1304以外に回路基板1308が
必要となるが、電子機器用の一部品として液晶表示装置
が使用される場合であって、透明基板に表示駆動回路な
どが搭載される場合には、その液晶表示装置の最小単位
は液晶表示基板1304である。あるいは、液晶表示基
板1304を筐体としての金属フレーム1302に固定
したものを、電子機器用の一部品である液晶表示装置と
して使用することもできる。さらに、バックライト式の
場合には、金属製フレーム1302内に、液晶表示基板
1304と、バックライト1306aを備えたライトガ
イド1306とを組み込んで、液晶表示装置を構成する
ことができる。これらに代えて、図16に示すように、
液晶表示基板1304を構成する2枚の透明基板130
4a、1304bの一方に、金属の導電膜が形成された
ポリイミドテープ1322にICチップ1324を実装
したTCP (Tape Carrier Packag
e) 1320を接続して、電子機器用の一部品である液
晶表示装置として使用することもできる。

【0101】なお、本発明は上記実施例に限定されるも
のではなく、本発明の要旨の範囲内で種々の変形実施が
可能である。例えば、本発明は上述の各種の液晶パネル
の駆動に適用されるものに限らず、エレクトロルミネッ
センス、プラズマディスプレイ装置等の他の画像表示装
置にも適用可能である。

【0102】

【図面の簡単な説明】

【図1】図1は、本発明の一実施例の電子機器のうちの
液晶表示に必要な回路部を示すブロック図である。

【図2】図2は、図1に示す回路のデジタルクロマ回路
とYUV-RGB変換回路のブロック図である。

【図3】図3は、YV-R変換に用いられるV×2°の
8ビットの各項のビットの広がりを示す概略説明図であ
る。

【図4】図4は、YV-R変換回路の一例を示すブロッ
ク図である。

【図5】図5は、図4の各回路の出力データを説明する
ための概略説明図である。

【図6】図6は、図3に示すクリッピング回路の一例を
示す回路図である。

【図7】図7(A)～(C)は、YV-R変換、YU-
B変換及びYUV-G変換の手法を模式的に示す模式図
である。

【図8】図8は、図7(A)に示す手法に基づき設計さ
れたYV-R変換回路のブロック図である。

【図9】図9は、図8の各回路の出力データを説明する
ための概略説明図である。

【図10】図10は、図7(B)に示す手法に基づき設
計されたYU-B変換回路のブロック図である。

【図11】図11は、図7(C)に示す手法に基づき設
計されたYUV-G変換回路のブロック図である。

【図12】図12は、電子機器のブロック図である。

【図13】図13は、電子機器の一例であるプロジェク
タの概略説明図である。

【図14】図14は、電子機器の一例であるパーソナル
コンピュータの外観図である。

【図15】図15は、電子機器の一例であるページャの
分解斜視図である。

【図16】図16は、外付け回路を備えた液晶表示装置
の一例を示す概略斜視図である。

【図17】図17は、YUV信号の分離する動作を示す
タイミングチャートである。

【符号の説明】

- 10 コントロールボード
- 12, 18 アナログ-デジタルコンバータ
- 14 デジタルクロマ回路
- 16 YUV-RGB変換回路
- 16A 遅延回路
- 16B U/V分離回路
- 16C YV-R変換回路
- 16D YUV-G変換回路
- 16E YU-B変換回路
- 20 グラフィックコントローラ
- 30 LCD
- 32 LCDコントローラ
- 40 (V-128) 演算部

21

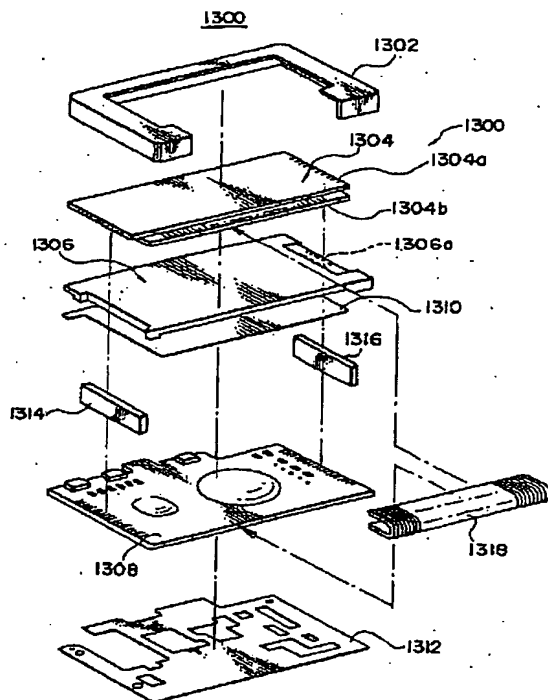
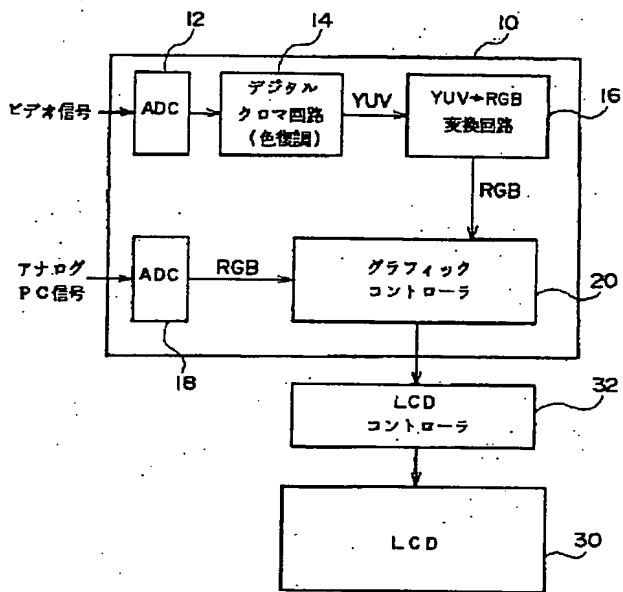
22

- 41 (U-128) 演算部
- 42, 76, 100, 202 1ビットシフト回路
- 44, 102, 210 一乗差加算器
- 46, 52, 56, 70, 86, 108, 204, 216 2ビットシフト回路
- 48, 60, 62, 78, 84, 92, 106, 112 加算器
- 50, 114 5ビットシフト回路
- 54, 72, 110, 214 二乗差加算器
- 58, 88, 212 0乗差加算器

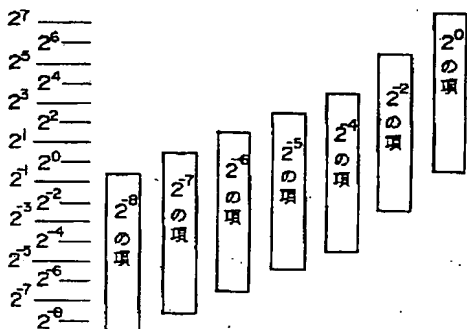
- 64 クリッピング回路 (輝度制限回路)
- 80, 104 3ビットシフト回路
- 82, 90, 118, 228, 232, 236 遅延回路
- 116, 120, 224, 226, 230, 234, 240 加算器
- 218 8ビットシフト回路
- 220 7ビットシフト回路
- 222 4ビットシフト回路
- 10 238 符号反転回路

【図1】

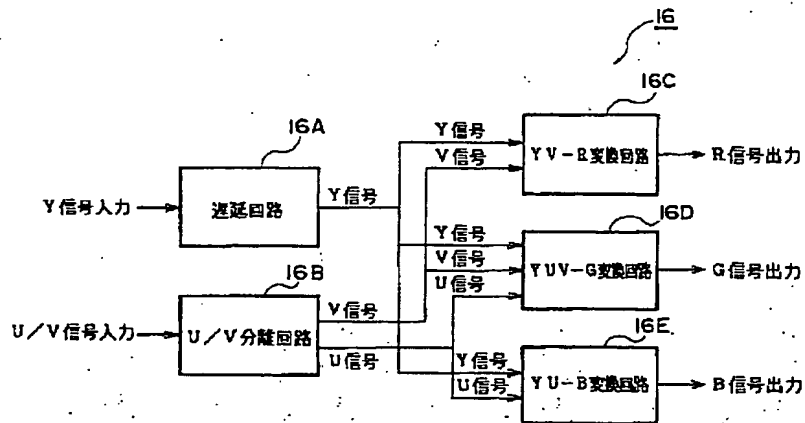
【図15】



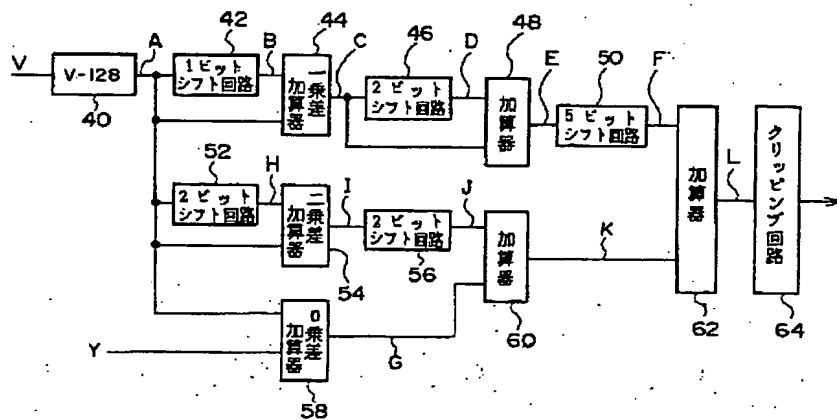
【図3】



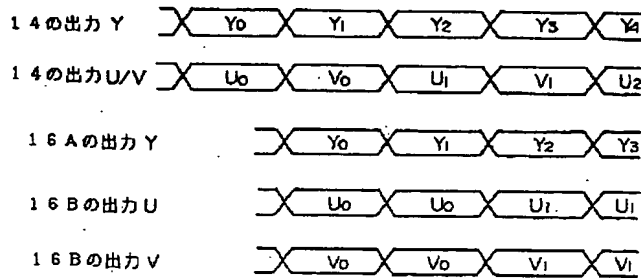
【 図 2 】



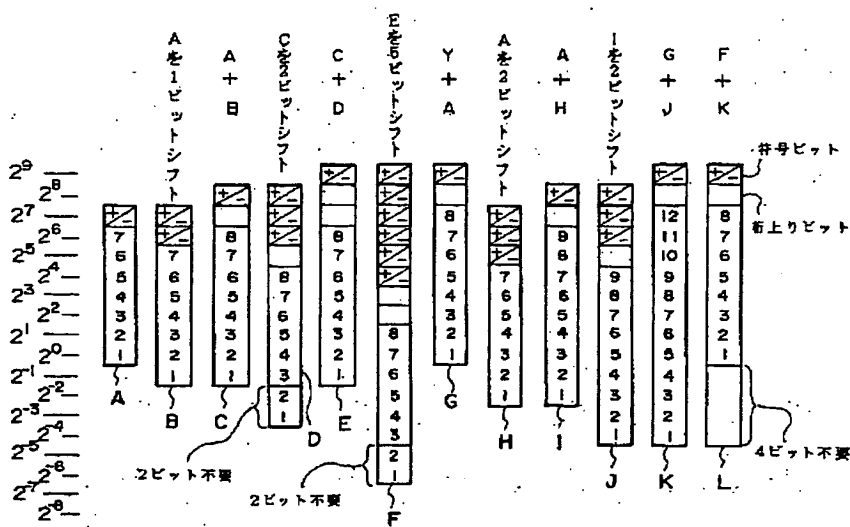
【 図 4 】



【 図 17 】

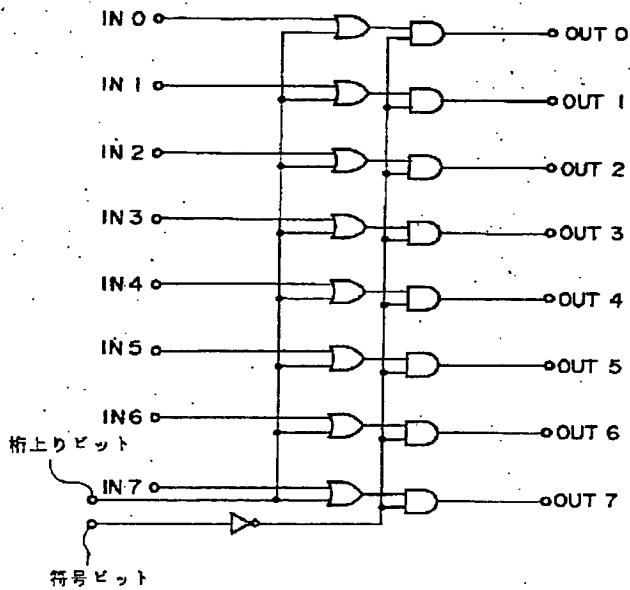


【図5】

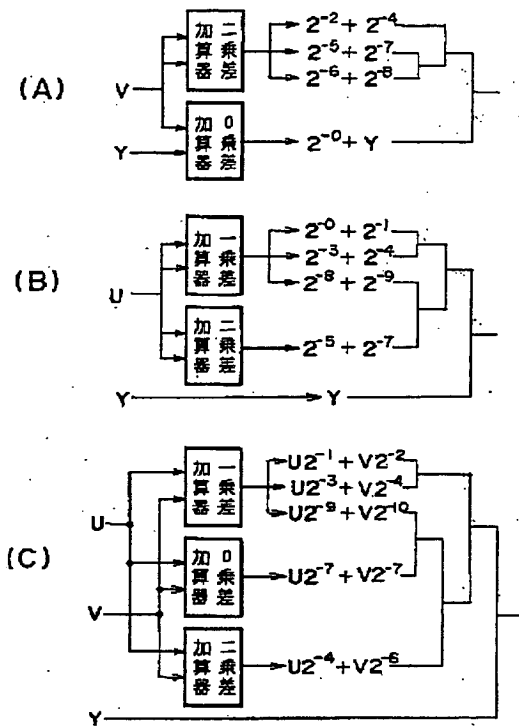


【図6】

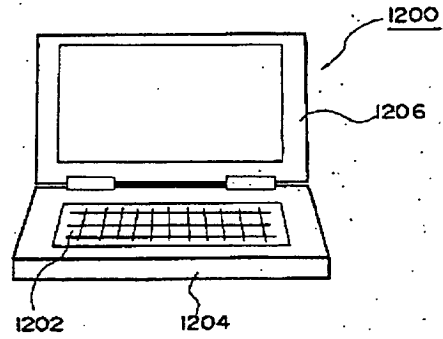
64



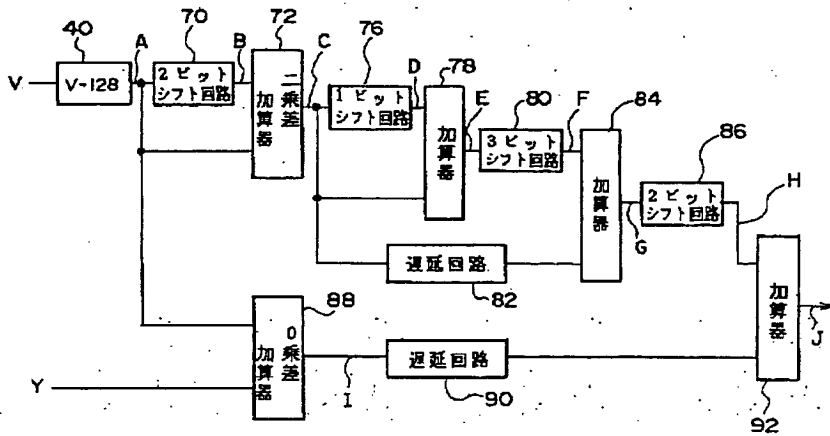
【 図 7 】



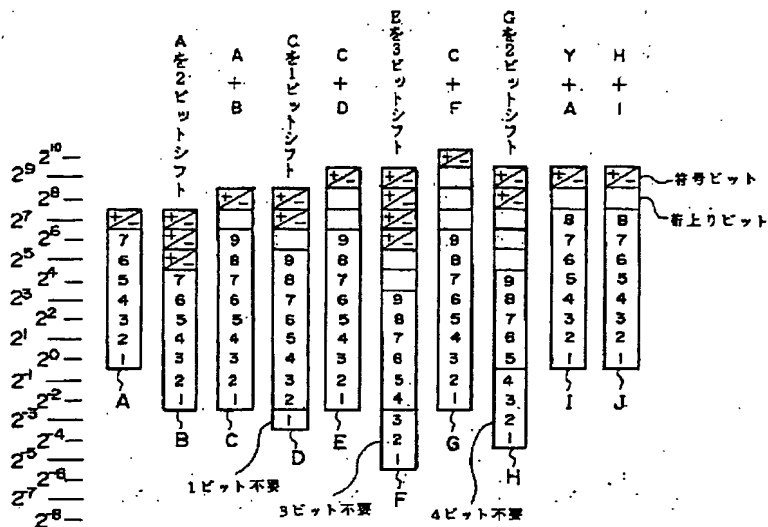
【 図 14 】



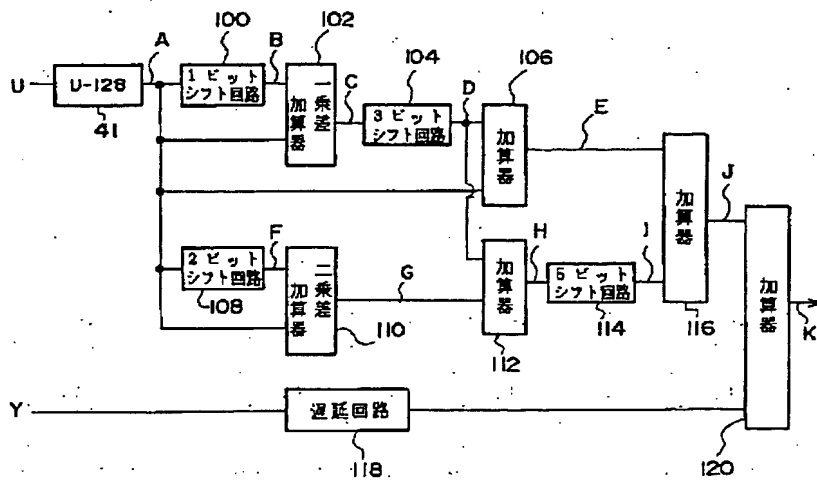
【 図 8 】



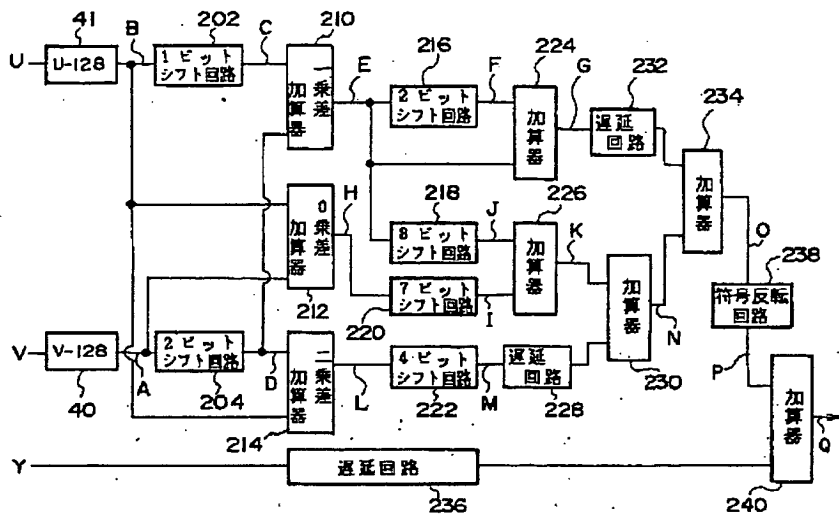
【図9】



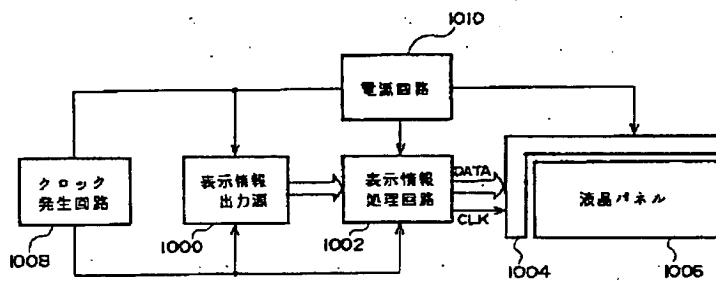
【図10】



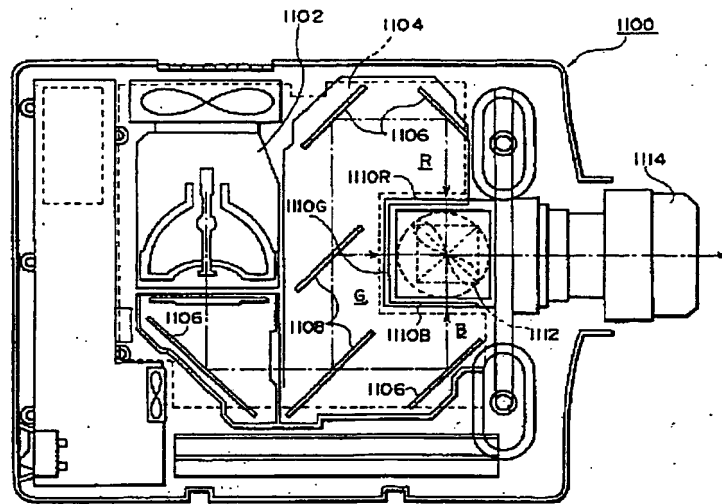
【図 11】



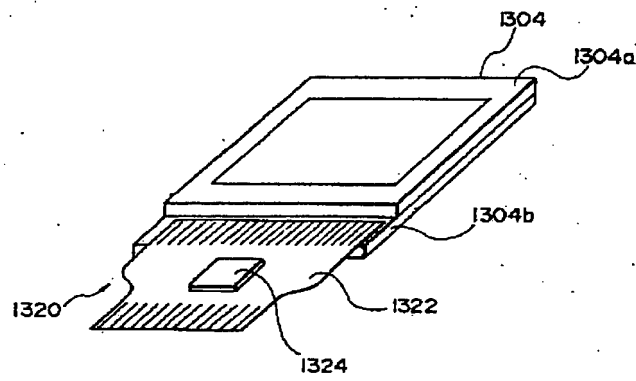
【図 12】



【 図 13 】



【 図 16 】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.